

## DMA CONTROL DEVICE AND ITS METHOD

Patent Number: JP11232211  
Publication date: 1999-08-27  
Inventor(s): FUNIYUU MASAMI  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP11232211  
Application Number: JP19980028950 19980210  
Priority Number(s):  
IPC Classification: G06F13/28  
EC Classification:  
Equivalents: JP3432734B2

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To easily specify which descriptor produces an error during the transfer of data even when the error is produced in DMA transfer.

**SOLUTION:** The DMA control device is provided with an identification(ID) information register 11 for storing ID information for specifying the information of a descriptor, and when an error is produced during the transfer of data, the ID information is read out from the register 11 through a data bus 21 and the descriptor information producing the error is specified, based on the ID information. Since the ID information for specifying the information of the description is stored during the transfer of data, based on the descriptor information, the information of the descriptor producing an error can easily be specified, based on the ID information even when the error is produced during the transfer of data.

---

Data supplied from the esp@cenet database - I2



**【特許請求の範囲】**

【請求項1】 メモリのディスクリプタ領域に格納されたディスクリプタ情報を読み込み、該ディスクリプタ情報に基づいてデータ転送を行う動作を、前記ディスクリプタ情報に含まれる次のディスクリプタ領域へのアドレス情報をたどりながら連続的に実行するDMA制御装置において、

前記ディスクリプタ情報を特定するための識別情報を、少なくとも前記ディスクリプタ情報に基づいてデータ転送が実行されている間保持する識別情報保持手段を備え、

該識別情報保持手段に保持されている識別情報を外部から読み出し可能に構成したことを特徴とするDMA制御装置。

【請求項2】 メモリのディスクリプタ領域に格納されたディスクリプタ情報を読み込み、該ディスクリプタ情報に基づいてデータ転送を行う動作を、前記ディスクリプタ情報に含まれる次のディスクリプタ領域へのアドレス情報をたどりながら連続的に実行するDMA制御方法において、

前記ディスクリプタ情報に基づいてデータ転送が実行されている間は、前記ディスクリプタ情報を特定するための識別情報を保持し、データ転送中にエラーが発生した場合は、前記識別情報に基づいてエラーが発生したディスクリプタ情報を特定することを特徴とするDMA制御方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、ディスクリプタ・チェーン転送を行なうDMA（ダイレクト・メモリ・アクセス）転送に関し、詳しくは、ディスクリプタ情報の識別情報を保持する手段を備えたDMA制御装置に関する。

**【0002】**

【従来の技術】メモリとメモリとの間、又はメモリとI/Oとの間でCPUの介在なしに直接にデータを転送するDMA制御装置においては、メモリ上に作成したディスクリプタと呼ばれるDMA転送の情報（以下、ディスクリプタ情報）を記述したデータ領域（以下、ディスクリプタ領域）を順にたどりながら、複数のデータ転送を連続的に行うディスクリプタ・チェーン転送と呼ばれる転送方式が用いられている。

【0003】図3は、メモリ上に作成されたディスクリプタ領域のデータ構造を示す説明図である。ディスクリプタ領域100（110）には、DMA転送するデータのデータサイズ101（111）、送り元と送り先のアドレス102（112）、次のディスクリプタのアドレス103（113）がディスクリプタ情報として記述されている。

【0004】DMA制御装置は、図示しないCPUから

の制御信号によりDMA転送が指示されると、図3のディスクリプタ領域を読み込み、ディスクリプタ情報で指定された送り元アドレスのデータ領域にあるデータについて、指定されたデータサイズのデータを送り先アドレスのメモリ又はI/Oへ転送するとともに、次のディスクリプタアドレスから次のディスクリプタを読み込んで、同様にして次のデータ転送を行う。このようなDMA転送を、ディスクリプタ情報でDMA転送の終了が指定されるまで、ディスクリプタ領域の次のディスクリプタのアドレスをたどりながら連続的に実行する。

【0005】図4は、従来のDMA制御装置の機械的な構成を示すブロック図である。従来のDMA制御装置10は、次のディスクリプタアドレスレジスタ1に格納された次のディスクリプタのアドレスをセクタ3を経由して、アドレスレジスタ5に格納する。次に、アドレスレジスタ5に格納されたアドレスをアドレスバス22に出力して、リードバスサイクルを実行して、図示しないメモリに格納されているディスクリプタ情報を、データバス21を経由して読み込む。読み込まれたディスクリプタ情報のうち、次のディスクリプタのアドレスは次のディスクリプタアドレスレジスタ1に、また送り元又は送り先のアドレスは転送アドレスレジスタ2に、転送データのデータサイズはセクタ4を経由して転送カウントレジスタ6にそれぞれ格納する。

【0006】DMA制御装置10は、転送アドレスレジスタ2に格納されたアドレスをセクタ3を経由してアドレスレジスタ5に格納する。次に、アドレスレジスタ5に格納されたアドレスをアドレスバス22に出力して、リードバスサイクルもしくはライトバスサイクルを実行して、メモリに格納されているデータをI/Oに、もしくはI/Oのデータをメモリに転送する。バスサイクルを実行すると、アドレスレジスタ5のアドレスをアドレスインクリメンタ7で加算してセクタ3を経由してアドレスレジスタ5に格納し、転送カウントレジスタ6の値をデクリメンタ8で減算してセクタ4を経由して転送カウントレジスタ6に格納する。そして、転送カウントレジスタ6のデータが0になるまで、データの転送を行う。

【0007】転送カウントレジスタ6のデータが0になると、次のディスクリプタアドレスレジスタ1に格納された、次のディスクリプタのアドレスをセクタ3を経由してアドレスレジスタ5に格納して、次のディスクリプタを読み出し、ディスクリプタで指定されたDMA転送を行う。読み出したディスクリプタでDMA転送の終了が指定されるまで、ディスクリプタのチェーンをたどりながら、DMA転送を続ける。

【0008】なお、図示しないCPUからの制御信号は、制御信号バス23からバス制御回路9を介して各レジスタ及びセクタへ伝達される。

【0009】

【発明が解決しようとする課題】ところで、DMA転送によるデータ転送中にエラーが発生した場合、どのディスクリプタの転送でエラーが発生したか調べる必要がある。ところが、従来のDMA制御装置では、次のディスクリプタのアドレスを保存しているが、転送中のディスクリプタのアドレスは失われている。また、ディスクリプタのチェーンが一方方向のポインタで構成されているため、ディスクリプタ・チェーンを逆方向にたどることはできない。さらに、ディスクリプタ・チェーンの情報がすべてメモリに保存されていれば、ディスクリプタ・チェーン転送を開始したディスクリプタから順番にチェーンをたどり、調べることは可能であるが、転送を終了したディスクリプタの領域がすでに書き換えられている場合は、それも不可能となる。このように、従来のDMA制御装置では、DMA転送に起因するシステムレベルのエラーが発生すると、デバッグが困難になるという問題点があった。

【0010】なお、DMA転送時にエラーの発生した場合に、アドレスを記憶又は出力するようにした技術が提案されている（特開平8-202635号公報など）。しかし、これらの技術はいずれもエラーを検出してリトライ処理を行うものであるため、ディスクリプタ・チェーン転送に適用した場合には、どのディスクリプタの転送でエラーが発生したかを特定できないという問題点があった。

【0011】この発明は、DMA転送中にエラーが発生した場合でも、どのディスクリプタの転送でエラーが発生したかを容易に特定することができるDMA制御装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、メモリのディスクリプタ領域に格納されたディスクリプタ情報を読み込み、該ディスクリプタ情報に基づいてデータ転送を行う動作を、前記ディスクリプタ情報に含まれる次のディスクリプタ領域へのアドレス情報をたどりながら連続的に実行するDMA制御装置において、前記ディスクリプタ情報を特定するための識別情報を、少なくとも前記ディスクリプタ情報に基づいてデータ転送が実行されている間保持する識別情報保持手段を備え、該識別情報保持手段に保持されている識別情報を外部から読み出し可能に構成したことを特徴とする。

【0013】また、請求項2の発明は、メモリのディスクリプタ領域に格納されたディスクリプタ情報を読み込み、該ディスクリプタ情報に基づいてデータ転送を行う動作を、前記ディスクリプタ情報に含まれる次のディスクリプタ領域へのアドレス情報をたどりながら連続的に実行するDMA制御方法において、前記ディスクリプタ情報に基づいてデータ転送が実行されている間は、前記ディスクリプタ情報を特定するための識別情報を保持

し、データ転送中にエラーが発生した場合は、前記識別情報に基づいてエラーが発生したディスクリプタ情報を特定することを特徴とする。

【0014】上記DMA制御装置及びDMA制御方法によると、ディスクリプタ情報に基づいてデータ転送が実行されている間は、そのディスクリプタ情報を特定するための識別情報が保持されるので、データ転送中にエラーが発生した場合でも、前記識別情報に基づいてエラーが発生したディスクリプタ情報を特定することができる。

【0015】

【発明の実施の形態】以下、この発明に係わるDMA制御装置及びDMA制御方法を適用したDMA制御装置の一実施形態について説明する。

【0016】図1は、本実施形態におけるDMA制御装置の機能的な構成を示すブロック図であり、図4と同等部分を同一符号で示している。

【0017】図1のDMA制御装置20には、ディスクリプタ情報を特定するための識別情報を、少なくともデータが転送されている間保持する識別情報保持手段としての識別情報レジスタ11が設けられており、データバス21を経由してディスクリプタ情報が読み出された際に、そのディスクリプタ情報を特定するための識別情報が格納される。また、識別情報レジスタ11に格納された識別情報は、データバス21を経由して図示しないCPUにより読み出し可能に構成されている。

【0018】図2は、メモリ上に作成されたディスクリプタ領域のデータ構造を示す説明図である。図2に示すように、ディスクリプタ領域200(210)には、ディスクリプタ情報を特定するための識別情報201(211)、DMA転送するデータのデータサイズ202(212)、送り元と送り先のアドレス203(213)、次のディスクリプタのアドレス204(214)がディスクリプタ情報として記述されている。前記識別情報としては、そのディスクリプタ情報自身のアドレスが記述されている。なお、前記識別情報は、データを転送しているディスクリプタを特定することができれば、アドレス以外の情報を用いても良い。

【0019】図1のように構成されたDMA制御装置20では、図4に示した従来のDMA制御装置10と同様に、図示しないメモリ上に格納されているディスクリプタ情報をデータバスを経由して読み込む。読み込まれたディスクリプタ情報のうち、ディスクリプタの識別情報は識別情報レジスタ11に、次のディスクリプタのアドレスは次のディスクリプタアドレスレジスタ1に、送り元又は送り先のアドレスは転送アドレスレジスタ2に、転送データのデータサイズはセクタ4を経由して転送カウントレジスタ6にそれぞれ格納する。

【0020】DMA制御装置20は、転送アドレスレジスタ2に格納されたアドレスをセクタ3を経由してア

ドレスレジスタ5に格納する。次に、アドレスレジスタ5に格納されたアドレスをアドレスバス22に出力して、リードバスサイクルもしくはライトバスサイクルを実行して、メモリのデータをI/Oに、もしくはI/Oのデータをメモリに転送する。バスサイクルを実行すると、アドレスレジスタ5のアドレスをアドレスインクリメンタ7で加算してセクタ3を経由してアドレスレジスタ5に、転送カウントレジスタ6の値をデクリメンタ8で減算してセクタ4を経由して転送カウントレジスタ6に格納する。そして、転送カウントレジスタ6のデータが0になるまで、データの転送を行う。

【0021】転送カウントレジスタ6のデータが0になると、次のディスクリプタアドレスレジスタ1に格納された、次のディスクリプタのアドレスをセクタ3を経由してアドレスレジスタ5に格納して、次のディスクリプタを読み出し、ディスクリプタで指定されたDMA転送を行う。

【0022】本実施形態のDMA制御装置20では、メモリからディスクリプタ情報を読み込むたびに、ディスクリプタの識別情報を識別情報レジスタ11に格納し、この識別情報を次のディスクリプタ情報が読み出されるまで保持している。このため、データ転送中にエラーが発生した場合は、識別情報レジスタ11に格納されているディスクリプタの識別情報を、CPUのリードバスサイクルで、データバスを経由してCPUから読み出すことにより、どのディスクリプタの転送を実行していたかを容易に判断することが可能となる。

【0023】これによると、既存のDMA制御装置に識別情報レジスタを追加するだけで済むため、必要最小限のハードウェアの増加により、データ転送中のディスクリプタを特定することが可能となり、複雑なDMA転送を行うシステムのデバッグを容易なものとすることがで

きる。

【0024】

【発明の効果】以上説明したように、本発明に係わるDMA制御装置及びDMA制御方法においては、ディスクリプタ情報に基づいてデータが転送されている間は、そのディスクリプタ情報を特定するための識別情報を保持するようにしたので、データ転送中にエラーが発生した場合でも、前記識別情報に基づいてエラーが発生したディスクリプタ情報を容易に特定することができる。

【図面の簡単な説明】

【図1】実施形態のDMA制御装置の機能的な構成を示すブロック図。

【図2】実施形態のディスクリプタ領域のデータ構造を示す説明図。

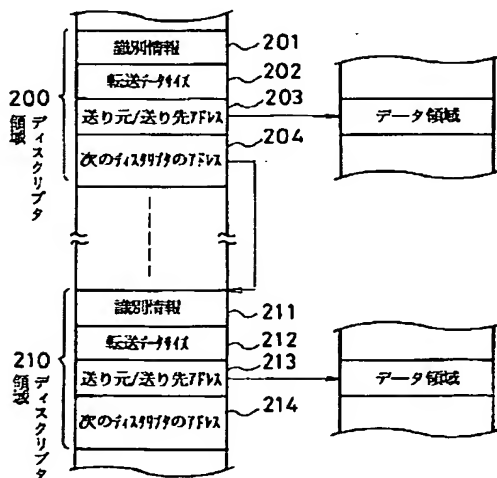
【図3】従来のディスクリプタ領域のデータ構造を示す説明図。

【図4】従来のDMA制御装置の機能的な構成を示すブロック図。

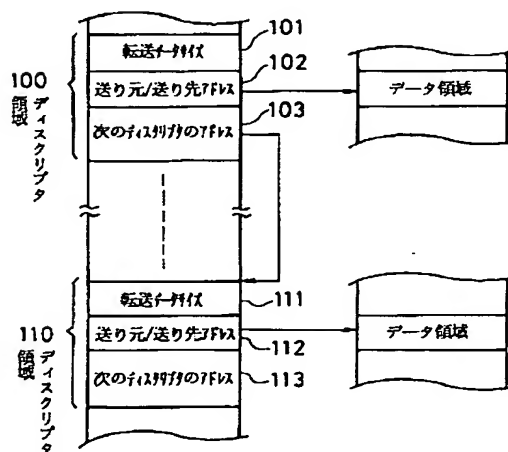
【符号の説明】

- 1 次のディスクリプタアドレスレジスタ
- 2 転送アドレスレジスタ
- 3、4 セクタ
- 5 アドレスレジスタ
- 6 転送カウントレジスタ
- 7 アドレスインクリメンタ
- 8 デクリメンタ
- 9 バス制御回路
- 10、20 DMA制御装置
- 11 識別情報レジスタ
- 21 データバス
- 22 アドレスバス
- 23 制御信号バス

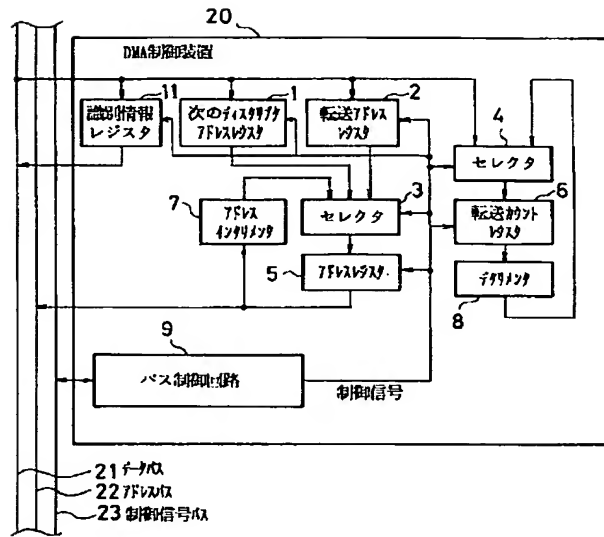
【図2】



【図3】



【図1】



【図4】

